

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 8 日
Date of Application:

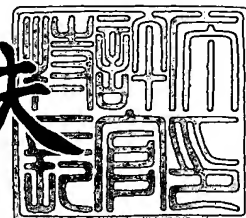
出 願 番 号 特 願 2 0 0 4 - 0 0 3 3 6 8
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 0 3 3 6 8]

出 願 人 株式会社豊田中央研究所
Applicant(s):

2 0 0 4 年 2 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 K03-343
【提出日】 平成16年 1月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
 【氏名】 加地 徹
【発明者】
 【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
 【氏名】 中野 由崇
【発明者】
 【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
 【氏名】 上杉 勉
【特許出願人】
 【識別番号】 000003609
 【氏名又は名称】 株式会社豊田中央研究所
【代理人】
 【識別番号】 110000110
 【氏名又は名称】 特許業務法人 快友国際特許事務所
 【代表社員】 小玉 秀男
 【電話番号】 052-588-3361
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 29374
 【出願日】 平成15年 2月 6日
【手数料の表示】
 【予納台帳番号】 172662
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0207894

【書類名】 特許請求の範囲**【請求項 1】**

III族窒化物半導体で構成された第1層と、III族窒化物半導体で構成された第2層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

(1) 第1層、(2) 第2層、(3) 第1層と第2層の間の領域の少なくともいずれかにチャンネルが形成され、

第2層の導電型は、チャンネルを流れるキャリアの導電型と逆の導電型である半導体素子。

【請求項 2】

第2層は、チャンネルに流すキャリアと逆導電型のキャリアを素子外に流出させる電極に接している請求項1に記載の半導体素子。

【請求項 3】

第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

第1層と第2層は接しており、

第1層のバンドギャップは、第2層のバンドギャップよりも大きい半導体素子。

【請求項 4】

第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、第1導電型のIII族窒化物半導体で構成された第3層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

第3層は、第1層と第2層の間に形成された領域を有し、

第3層のバンドギャップは、第1層のバンドギャップよりも小さい半導体素子。

【請求項 5】

第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、III族窒化物半導体で構成された第3層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

第3層は、第1層と第2層の間に形成された領域を有し、

第3層のバンドギャップは、第1層と第2層のバンドギャップよりも小さい半導体素子。

【請求項 6】

第3層は、実質的に真性のIII族窒化物半導体で構成されている請求項5に記載の半導体素子。

【請求項 7】

第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

第1層の厚さは、ゲート電極に電圧が印加されていないときに第1層と第2層の間から第1層側に伸びる空乏層の厚さ以下である半導体素子。

【請求項 8】

ゲート電極と、第1導電型のIII族窒化物半導体で構成された第1層と、前記第1層の前記ゲート電極とは反対側に位置している第2導電型のIII族窒化物半導体で構成された第2層を備えている電界効果トランジスタ。

【請求項 9】

前記第1層と第2層が直接に接触しており、第1層のバンドギャップが第2層のバンドギャップよりも大きいことを特徴とする請求項8の電界効果トランジスタ。

【請求項 10】

前記第1層と第2層の間に、第1層と第2層のバンドギャップよりも小さいバンドギャッ

プを有する第 3 層が位置していることを特徴とする請求項 8 の電界効果トランジスタ。

【請求項 1 1】

前記第 3 層が真性の III 族窒化物半導体で構成されていることを特徴とする請求項 1 0 の電界効果トランジスタ。

【請求項 1 2】

前記第 1 層と第 2 層の間に、第 1 層のバンドギャップよりも小さいバンドギャップを有する第 1 導電型の III 族窒化物半導体で構成された第 3 層が位置していることを特徴とする請求項 8 の電界効果トランジスタ。

【請求項 1 3】

ゲート電極に電圧が印加されない状態で前記第 2 層から第 1 層に向けて広がる空乏層が第 1 層を空乏化することを特徴とするノーマリオフ動作する請求項 8 ～ 1 2 のいずれかの電界効果トランジスタ。

【請求項 1 4】

前記ゲート電極と前記第 1 層の間に配置されたゲート絶縁膜を有する請求項 8 ～ 1 3 のいずれかの電界効果トランジスタ。

【書類名】明細書

【発明の名称】III族窒化物半導体を有する半導体素子

【技術分野】

【0001】

本発明は、III族窒化物半導体を有する半導体素子に関する。

【背景技術】

【0002】

特許文献1に、III族窒化物半導体を有する半導体素子が示されている。具体的には、基板上に、バッファ層、チャンネル層、ゲート絶縁層が順次積層され、その上にゲート電極が形成された電界効果トランジスタが示されている。チャンネル層は、n型のGa₂N（窒化ガリウム、III族窒化物半導体の一例）で構成されている。

【特許文献1】特開平10-223901号公報（その公報の図1参照）

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記した半導体素子では、オン時に、チャンネル層に電子が流れる。この電子が周囲の原子に衝突すると、ホールが形成される。チャンネル層を流れる電子の量が増加すると、形成されるホールの量も増加する。このホールは、半導体素子内に蓄積される。蓄積されたホールの存在は、絶縁破壊の要因となる。このように、上記した半導体素子では、高耐圧化の実現を妨げる要因が存在していた。

【0004】

また、このような半導体素子では、オン抵抗を低くすることも課題となっている。

また、特許文献1には、上記したトランジスタのチャンネル層のキャリア濃度を低くすることで、ノーマリオフが可能である旨が記載されている。ノーマリオフとは、ゲート電極に電圧を印加していない状態では、素子がオフしている（素子に実質的に電流が流れない）ものをいう。しかし、このような半導体素子では、ノーマリオフが可能な他の新規な構造の実現も課題となっている。即ち、チャンネル層のキャリア濃度を低くすることによってノーマリオフを実現するのとは異なる手法でノーマリオフの半導体素子を実現する必要性が存在する。

【0005】

本発明は、III族窒化物半導体を有する半導体素子の耐圧を高くすることを1つの目的とする。

本発明は、III族窒化物半導体を有する半導体素子のオン抵抗を低くすることを他の一つの目的とする。

本発明は、ノーマリオフのIII族窒化物半導体を有する半導体素子を実現する新規な構造を提案することをさらに他の一つの目的とする。

本発明は、上記した目的の少なくとも1つを達成しようとするものである。

【課題を解決するための手段】

【0006】

本発明を具現化した1つの半導体素子は、III族窒化物半導体で構成された第1層と、II族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。この半導体素子では、（1）第1層、（2）第2層、（3）第1層と第2層の間の領域の少なくともいずれかにチャンネルが形成される。この半導体素子では、第2層の導電型が、チャンネルを流れるキャリアの導電型と逆の導電型である。

【0007】

チャンネルを流れるキャリアが周囲の原子に衝突すると、チャンネルを流れるキャリアと逆導電型のキャリアが形成される場合がある。上記半導体素子によると、この逆導電型キャリアを、チャンネルを流れるキャリアの導電型とは逆の導電型である第2層を利用して引抜くことができる。よって、半導体素子内に逆導電型キャリアが蓄積されることを抑制でき

る。このため、蓄積された逆導電型キャリアの存在による絶縁破壊の発生を抑制できる。従って、耐圧を高くすることができる。

【0008】

本発明の1つの態様の半導体素子では、第2層が、チャンネルに流れるキャリアと逆導電型のキャリアを素子外に流出させる電極に接していることが好ましい。具体的には、第2層は、ソース電極とドレイン電極のいずれかに接していることが好ましい。第2層の導電型がp型の場合には、第2層がソース電極に接していることが好ましい。

上記態様によると、チャンネルを流れるキャリアと逆導電型のキャリアを第2層からより有効に引抜くことができる。

【0009】

本発明を具現化した他の一つの半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第1層と第2層は接している。第1層のバンドギャップは、第2層のバンドギャップよりも大きい。

上記半導体素子によると、第1層と第2層の境界部付近に、チャンネルとして機能する量子井戸部を形成できる。よって、キャリアの集積度を向上させることができる。このためチャンネル抵抗を低くすることができる。従って、オン抵抗を低くすることができる。

【0010】

第1層はAl（アルミニウム）を含むことが好ましい。この場合、第1層のバンドギャップを大きくすることができる。第2層はIn（インジウム）を含むことが好ましい。この場合、バンドギャップを小さくすることができる。

【0011】

本発明を具現化したさらに他の一つの半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、第1導電型のIII族窒化物半導体で構成された第3層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第3層は、第1層と第2層の間に形成された領域を有する。第3層のバンドギャップは、第1層のバンドギャップよりも小さい。

上記半導体素子によると、第1層と第3層の境界部付近の第3層側に、チャンネルとして機能する量子井戸部が形成される。したがって、オン抵抗を低くすることができる。

【0012】

本発明を具現化したさらに他の一つの半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、III族窒化物半導体で構成された第3層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第3層は、第1層と第2層の間に形成された領域を有する。第3層のバンドギャップは、第1層と第2層のバンドギャップよりも小さい。

上記半導体素子によると、第3層に、チャンネルとして機能する量子井戸部を形成することができる。よって、この場合もオン抵抗を低くすることができる。

【0013】

第3層は、実質的に真性のIII族窒化物半導体で構成されていることがより好ましい。

上記態様によると、チャンネルとして機能する第3層内にキャリアが流れた場合の不純物散乱の発生を回避できる。よって、キャリアの移動度を向上させることができる。このため、オン抵抗をより低くすることができる。

【0014】

本発明を具現化したさらに他の一つの半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第1層の厚さは、ゲート電極に電圧が印加されていないときに第1層と第2層の間から第1層側に伸びる空乏層の厚さ以下である。

上記態様によると、ノーマリオフが可能な半導体素子を実現できる。

【0015】

第1層のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、第2層のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。上記態様によると、ノーマリオフが可能な半導体素子を実現しやすい。

【0016】

ゲート電極は第1層に直接に接していてもよい。ゲート電極はゲート絶縁層を介して第1層に隣合っているとしてもよい。ゲート絶縁層は、III族元素としてAl（アルミニウム）を少なくとも含むIII族窒化物半導体を含むことが好ましい。このようなゲート絶縁層を設けると、ゲート電極に印加することが許容される電圧値を大きくすることができる。

【0017】

ゲート電極は、トレンチタイプで構成されていることが好ましい。

この場合、チャネルはトレンチタイプのゲート電極の側面に沿って形成される。ゲート電極が半導体基板の膜厚方向に伸びてトレンチを形成している場合、半導体基板の主面に対して直交方向に伸びるチャネルを形成することができる。このため半導体素子の面積を小さくすることができる。半導体素子の集積化に有効である。

【0018】

第1層と第2層を含む半導体部の同じ面側に、ドレイン電極とソース電極が形成されていることが好ましい。あるいは、第1層と第2層を含む半導体部の第1面側にソース電極が形成され、その反対側の第2面側にドレイン電極が形成されていてもよい。

【0019】

本発明をトランジスタに適用することができる。本発明を適用したトランジスタは、ゲート電極と、第1導電型のIII族窒化物半導体で構成された第1層と、第1層のゲート電極とは反対側に位置している第2導電型のIII族窒化物半導体で構成された第2層を備えている。このトランジスタは電界効果トランジスタとして機能する。

このトランジスタは、第1導電型の第1層をキャリアが流れ、そのキャリアが原子と衝突して反対導電型のキャリアが生成された場合に、生成された反対導電型のキャリアが第2導電型の第2層に移動する。即ち、第1導電型の第1層に反対導電型のキャリアが蓄積することがない。このトランジスタによると、蓄積したキャリアがトランジスタを破壊する事態の発生を抑制することができる。

第1層と第2層が直接に接触していてもよい。この場合、第1層のバンドギャップが第2層のバンドギャップよりも大きいことが好ましい。この場合、第1層と第2層の界面近傍のキャリア集積度が向上し、オン抵抗が低下する。

あるいは、第1層と第2層の間に、第1層と第2層のバンドギャップよりも小さいバンドギャップを有する第3層が位置していてもよい。この場合は、第3層のキャリア集積度が向上し、オン抵抗が低下する。

第3層が真性のIII族窒化物半導体で構成されていると、キャリア移動度まで向上し、オン抵抗がさらに低下する。

第1層と第2層の間に、第1層のバンドギャップよりも小さいバンドギャップを有する第1導電型のIII族窒化物半導体で構成された第3層が位置していてもよい。この場合、第1層と第3層の界面近傍のキャリア集積度が向上し、オン抵抗が低下する。

本発明のトランジスタでは、ゲート電極に電圧が印加されない状態で第2層から第1層に向けて空乏層が広がる。第1層の位置と厚みが、第2層から第1層に向けて広がる空乏層によって空乏化される関係に選定されていることが好ましい。

このトランジスタは、ノーマリオフ作動する。

ゲート電極と第1層の間にゲート絶縁膜が配置されていることが好ましい。

ゲート電極と第1層の間にゲート絶縁膜が配置されていると、ゲート電極に十分に高い電圧を印加することが可能となり、大電流のオン・オフが可能となる。

【発明の効果】

【0020】

本発明によると、III族窒化物半導体を有する半導体素子の耐圧を高くすることができる。または、III族窒化物半導体を有する半導体素子のオン抵抗を低くすることができる。

。または、ノーマリオフのIII族窒化物半導体を有する半導体素子の新規な構造を実現することができる。本発明によると、上記の少なくとも1つを実現する半導体素子を提供することができる。

【発明を実施するための最良の形態】

【0021】

最初に実施例の主要な特徴を列記する。

(第1実施形態) この形態の半導体素子は、第1導電型のIII族窒化物半導体で構成された第4層(22)と、第4層(22)上に形成されているとともに第2導電型のIII族窒化物半導体で構成された第2層(42)と、第2層(42)上に直接又はIII族窒化物半導体で構成された第3層(44)を介して形成されているとともに第1導電型のIII族窒化物半導体で構成された第1層(32)と、第1層(32)上に直接又はゲート絶縁層(30)を介して形成されたゲート電極(34)と、第1層(32)の一端側に直接又は第1導電型ソース層(40)を介して接触するソース電極(38)と、第1層(32)の他端側に直接又は第1導電型ドレイン層(26)を介して接触するドレイン電極(28)を有する。

(第2実施形態) この形態の半導体素子は、第1導電型のIII族窒化物半導体で構成された第4層(52, 54)と、第4層(52, 54)の第1面側に形成されたドレイン電極(50)と、第4層(52, 54)の第1面とは反対側の第2面上に形成されているとともに第2導電型のIII族窒化物半導体で構成された第2層(56)と、第2層(56)上に直接又はIII族窒化物半導体で構成された第3層(72)を介して形成されているとともに第1導電型のIII族窒化物半導体で構成された第1層(68)と、第1層(68)上に直接又はゲート絶縁層(66)を介して形成されたゲート電極(70)と、第1層(68)の一端側に直接又は第1導電型ソース層(60)を介して接触するソース電極(62)を有する。第2層(56)は複数の領域に分断されており、その分断部で第4層(52, 54)と第1層(68)が直接接触する。

(第3実施形態) 第2実施形態の第3層(72)が不純物のドーピングされていない真性のIII族窒化物半導体であるか、あるいは第1導電型のドーピングされたIII族窒化物半導体で構成されている。

【実施例】

【0022】

(第1実施例)

図1は、第1実施例の電界効果トランジスタの断面図を示す。このトランジスタでは、基板20上に、下側 n^- 型層(第4層)22が形成されている。基板20は、 Al_2O_3 (サファイア)で構成されている。下側 n^- 型層22は、 n 型不純物であるSi(シリコン)がドーピングされたGaN(窒化ガリウム)で構成されている。下側 n^- 型層22のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。下側 n^- 型層22の最も厚い部分の厚さは、約 $5 \mu\text{m}$ である。下側 n^- 型層22の一部の領域上には、 p^+ 型層(第2層)42が形成されている。 p^+ 型層42は、 p 型不純物であるMg(マグネシウム)がドーピングされたGaNで構成されている。 p^+ 型層42のキャリア濃度は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。 p^+ 型層42の最も厚い部分の厚さは、約 $0.5 \mu\text{m}$ である。 n 型不純物としてGe(ゲルマニウム)等をドーピングしてもよい。 p 型不純物としてBe(ベリリウム)等をドーピングしてもよい。

【0023】

下側 n^- 型層22の一部の領域上から、 p^+ 型層42の一部の領域上にわたって、上側 n^- 型層(第1層)32が形成されている。上側 n^- 型層32は、 n 型不純物であるSiがドーピングされたAlGaN(窒化アルミニウムガリウム、詳細には $Al_{0.3}Ga_{0.7}N$)で構成されている。上側 n^- 型層32のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。上側 n^- 型層32の厚さは、約 50 nm である。

【0024】

p^+ 型層42の一部の領域上であって、上側 n^- 型層32の一端(図示左端)に接する位置には、 n^+ 型ソース層40が形成されている。下側 n^- 型層22の一部の領域上であって、上側 n^- 型層32の他端(図示右端)に接する位置には、 n^+ 型ドレイン層26が

形成されている。 n^+ 型ソース層 40 と n^+ 型ドレイン層 26 は、 n 型不純物である Si がドーピングされた GaN で構成されている。

【0025】

n^+ 型ソース層 40 の一部の領域上から、 p^+ 型層 42 の一部の領域上にわたって、ソース電極 38 が形成されている。ソース電極 38 は、 n^+ 型ソース層 40 と p^+ 型層 42 の両方に接している。 n^+ 型ドレイン層 26 上には、ドレイン電極 28 が形成されている。上側 n^- 型層 32 上から、 n^+ 型ソース層 40 の一部の領域上にわたって、ゲート絶縁層 30 が形成されている。ゲート絶縁層 30 は、AlN (窒化アルミニウム) で構成されている。ゲート絶縁層 30 の厚さは、約 50 nm である。ゲート絶縁層 30 の一部の領域上には、ゲート電極 34 が形成されている。ゲート電極 34 は、 p^+ 型層 42 の一部の領域よりも上方の位置にある。上側 n^- 型層 32 は、ゲート電極 34 と p^+ 型層 42 の間に形成された領域 32a を有する。

【0026】

ソース電極 38 とドレイン電極 28 は、Ti (チタン) と Al (アルミニウム) の積層構造によってオーミック電極として形成されている。Ti の厚さは約 10 nm である。Al の厚さは約 100 nm である。ゲート電極 34 は、Ni (ニッケル) で構成されている。ゲート電極 34 の厚さは、約 100 nm である。

【0027】

上側 n^- 型層 32 のバンドギャップは、 p^+ 型層 42 のバンドギャップよりも大きい。本実施例では、上側 n^- 型層 32 に Al を含ませることで、上側 n^- 型層 32 のバンドギャップを大きくしている。

上側 n^- 型層 32 と p^+ 型層 42 の接触部 ($p-n$ 接合部) 24 からは、上側 n^- 型層 32 と p^+ 型層 42 の両側に空乏層が伸びる。上側 n^- 型層 32 の厚さは、ゲート電極 34 に電圧が印加されていないときに上側 n^- 型層 32 と p^+ 型層 42 の $p-n$ 接合部 24 から上側 n^- 型層 32 側に伸びる空乏層の厚さ以下である。

【0028】

次に、第 1 実施例の動作について説明する。上記したように、上側 n^- 型層 32 の厚さは、ゲート電極 34 に電圧が印加されていないときに上側 n^- 型層 32 側に伸びる空乏層の厚さ以下である。よって、ゲート電極 34 に電圧が印加されていない状態では、上側 n^- 型層 32 側に伸びる空乏層によって、上側 n^- 型層 32 のうち p^+ 型層 42 の直上に位置する領域 32a の全体が実質的に空乏化されている。このため、ゲート電極 34 に電圧が印加されていない状態では、ソース電極 38 とドレイン電極 28 間には電流は流れない。このように、このトランジスタは、ノーマリオフの動作をする。大電力用の半導体素子では、ゲート電極 34 に電圧が印加されていないときには電流が流れないようにすること、即ち、ノーマリオフであることが安全性の観点から望まれる。このトランジスタは上記したようにノーマリオフの動作をする。よって、このトランジスタは、大電力用の半導体素子として用いると特に有用である。

【0029】

図 2 は、上側 n^- 型層 32 と、 p^+ 型層 42 のエネルギーバンド図を示す。なお、図 2 ~ 図 4 に示すエネルギーバンド図の構成は、図 1 の A-A 線断面図の構成に対応する。先に述べたように、上側 n^- 型層 32 のバンドギャップ E_1 は、 p^+ 型層 42 のバンドギャップ E_2 よりも大きい。このような上側 n^- 型層 32 と p^+ 型層 42 を接合すると、両方のフェルミ準位 (E_F) を合わせるようにエネルギーバンドが曲げられる。この結果、エネルギーバンドには、スパイク部 44 とノッチ部 (量子井戸部) 46 が形成される。また、上側 n^- 型層 32 と p^+ 型層 42 の $p-n$ 接合部 24 からは、上側 n^- 型層 32 と p^+ 型層 42 の両側に空乏層 48 が伸びる。

【0030】

図 3 は、上側 n^- 型層 32 と p^+ 型層 42 に加えて、ゲート絶縁層 30 とゲート電極 34 を含めた構造についてのエネルギーバンド図を示す。図 3 は、ゲート電極 34 に電圧を印加していない状態の図である。ゲート電極 34 に正の電圧を印加すると、エネルギーバ

ンドが図4に示すように曲げられる。これにより、ノッチ部46がフェルミ準位 (E_F) よりも下方に移動する。これにより、ノッチ部46にチャンネルが形成され、電子が流れる。

図4からわかるように、ノッチ部46は、上側 n^- 型層32と p^+ 型層42の境界部24付近 (主に境界部24付近の p^+ 型層42) に形成される。即ち、チャンネルは、図1と図4に示す上側 n^- 型層32と p^+ 型層42の境界部24付近 (主に境界部24付近の p^+ 型層42) に形成される。図4でみると、ノッチ部 (チャンネル) 46は紙面垂直方向に伸びている。図1でみると、チャンネルは、境界部24付近に形成されるため、左右方向に伸びる。

【0031】

このように、ゲート電極34に正の電圧を印加すると、図1でみると、電子が、ソース電極38、 n^+ 型ソース層40、チャンネル (上側 n^- 型層32と p^+ 型層42の境界部24付近)、上側 n^- 型層32と下側 n^- 型層22の境界部25付近、 n^+ 型ドレイン層26、ドレイン電極28の順に横方向に流れる。即ち、ドレイン電極28からソース電極38に向けて横方向に電流が流れ、トランジスタがオンする。

【0032】

チャンネルを流れる電子が周囲の原子に衝突すると、形成されたチャンネルを流れる電子と逆導電型のホールが形成される場合がある。上記実施例によると、このホールを p^+ 型層42と、これに接するソース電極38を通じて引抜くことができる。よって、素子内にホールが蓄積されることを抑制できる。このため、蓄積されたホールの存在による絶縁破壊の発生を抑制できる。従って、耐圧を高くすることができる。

【0033】

また、図4に示すようにノッチ部46は、その上方に位置する3次元的に広がった領域に比べて、2次元的に狭まった領域となっている。電子は、この2次元的に狭まったノッチ部46に形成されるチャンネルを流れる。よって、いわゆる2次元電子ガスが形成される。このため、電子の集積度と移動度を高くすることができる。この結果、チャンネル抵抗を低くすることができる。従って、オン抵抗を低くすることができる。

【0034】

以上のように、第1実施例によると、ノーマリオフであって、耐圧が高く、オン抵抗が低いという有用な半導体素子を実現できる。

【0035】

次に、第1実施例の製造方法例について図1を参照して説明する。まず、基板20上に、MOCVD法 (有機金属気相成長法) によって下側 n^- 型層22をエピタキシャル成長させる。次に、下側 n^- 型層22上に第1マスク層 (SiO_2 層) を形成する。次に、第1マスク層に p^+ 型層42の形成用の開口をフォト工程で形成する。次に、第1マスク層の開口から露出する下側 n^- 型層 (図1には存在しない) をRIE法 (反応性イオンエッチング法) によってエッチングする。なお、上記したMOCVD法に代えて、MBE法 (分子線エピタキシー法) 等を用いてもよい。以下同様である。

【0036】

次に、エッチングした下側 n^- 型層 (図1には存在しない) の下方に位置し、エッチングにより新たに露出した下側 n^- 型層22上に、 p^+ 型層42をMOCVD法によって選択的にエピタキシャル成長させる。この p^+ 型層42は、下側 n^- 型層22の最頂面の高さに達するまで成長させる。この p^+ 型層42の形成は、先に形成した第1マスク層をそのまま残して行う。第1マスク層上には p^+ 型層42は成長しないので、エッチングにより新たに露出した下側 n^- 型層22上のみに p^+ 型層42を選択的に成長させることができる。次に、第1マスク層をHF水溶液によって除去する。

【0037】

次に、 p^+ 型層42の全体上から、下側 n^- 型層22の全体上にわたって上側 n^- 型層32をMOCVD法によってエピタキシャル成長させる。次に、上側 n^- 型層32の全体上に第2マスク層 (SiO_2 層) を形成する。次に、第2マスク層に、ソース層40の形

成用の開口とドレイン層26の形成用の開口をフォト工程で形成する。次に、第2マスク層の開口に向けて、N（窒素）をイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧35 keVで注入する。次に、第2マスク層の開口に向けて、Siをイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧65 keVで注入する。これにより、 n^+ 型ソース層40と n^+ 型ドレイン層26（但し、イオン注入した不純物の活性化前）が形成される。

【0038】

次に、第2マスク層の開口部分にもマスク層（ SiO_2 層）を再度形成する。以下では、これらのマスク層全体を第3マスク層という。これにより、素子の頂面全体が第3マスク層で覆われた状態となる。次に、N（窒素）雰囲気中で1300℃で5分間、素子をアニールする。これにより、イオン注入した不純物を活性化させる。次に、第3マスク層に開口を形成する。この開口は、ソース電極38を接触させる p^+ 型層42上に形成された上側 n^- 型層（図1には存在しない）の除去用のものである。次に、第3マスク層の開口から露出する上側 n^- 型層（図1には存在しない）をRIE法によってエッチングする。次に、第3マスク層をHF水溶液によって除去する。

【0039】

次に、素子の頂面全体にゲート絶縁層30をスパッタ法によって形成する。次に、ゲート絶縁層30にソース電極38の形成用の開口とドレイン電極28の形成用の開口をフォト工程で形成する。次に、開口から露出した p^+ 型層42と n^+ 型ソース層40上に、TiとAlを順に蒸着してソース電極38を形成する。また、開口から露出した n^+ 型ドレイン層26上に、TiとAlを順に蒸着してドレイン電極28を形成する。次に、N（窒素）雰囲気中で500℃で2分間アニールする。これにより、ソース電極38と n^+ 型ソース層40、ソース電極38と p^+ 型層42、及びドレイン電極28と n^+ 型ドレイン層26の接触抵抗を低減させる。次に、 p^+ 型層42の上方に位置するゲート絶縁層30上に、Niを蒸着してゲート電極34を形成する。

以上の工程を経ることで、第1実施例の電界効果トランジスタを製造できる。

【0040】

（第2実施例）

図5に示す第2実施例の電界効果トランジスタは、次の点で第1実施例と主に異なる。第2実施例では、上側 n^- 型層32と p^+ 型層42の間にチャンネル層（第3層）44が設けられている。チャンネル層44は、上側 n^- 型層32と下側 n^- 型層22の間にも連続して設けられている。チャンネル層44は、不純物がドーブされていない真性のInGaNで構成されている。このように、チャンネル層44には、Inを含ませている。これにより、チャンネル層44のバンドギャップを、上側 n^- 型層32と p^+ 型層42のバンドギャップよりも小さくしている。

【0041】

第2実施例は、第1実施例と同様の工程を経て第1マスク層を除去した後、 p^+ 型層42の全体上から下側 n^- 型層22の全体上にわたってチャンネル層44と上側 n^- 型層32をMOCVD法によって順に成長させ、さらに第1実施例と同様の工程を経ることで製造できる。

【0042】

チャンネル層44を設けた場合のエネルギーバンド図を図6に示す。チャンネル層44を設けると、図6に示すように、第1実施例のノッチ部46（図2～図4参照）に類似した形状の凹部（量子井戸部）49を形成できる。このような凹部49が形成されていると、ゲート電極34に正の電圧を印加した場合、第1実施例のノッチ部と同様に、凹部49の下端部がフェルミ準位（ E_F ）よりも下方に位置する。そして、この凹部49の下端部（チャンネル層44）にチャンネルが形成される。量子井戸部49を利用してチャンネルを形成するために電子の集積度を向上させることができる。

また、チャンネル層44は、不純物がドーブされていない。よって、チャンネル層44に電子が流れた場合の不純物散乱の発生を回避できる。よって、電子の移動度をより向上させ

ることができる。このため、チャネル抵抗をより低くすることができる。従って、オン抵抗をより低くすることができる。

【0043】

(第3実施例)

図7に示す第3実施例の電界効果トランジスタは、素子の表面(第1面)にソース電極が形成され、素子の裏面(第2面)にドレイン電極が形成された縦型トランジスタであり、左右対称構造を有している。 n^+ 型ドレイン層(第4層の一部)52上に、下側 n^- 型層(第4層の一部)54が形成されている。 n^+ 型ドレイン層52と下側 n^- 型層54は、 n 型不純物としてSiがドーピングされたGa_{0.5}In_{0.5}Nで構成されている。但し、 n^+ 型ドレイン層52の方が下側 n^- 型層54よりも高濃度にSiがドーピングされている。 n^+ 型ドレイン層52のキャリア濃度は、約 $3 \times 10^{18} \text{ cm}^{-3}$ である。下側 n^- 型層54のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。 n^+ 型ドレイン層52の厚さは、約 $200 \mu\text{m}$ である。下側 n^- 型層54の最も厚い部分の厚さは、約 $6 \mu\text{m}$ である。 n^+ 型ドレイン層52の底面には、ドレイン電極50が形成されている。

【0044】

下側 n^- 型層54の左側部上と右側部上にはそれぞれ、 p^+ 型層(第2層)56が形成されている。これらの p^+ 型層56は、 p 型不純物としてMgがドーピングされたInGa_{0.5}Nで構成されている。これらの p^+ 型層56のキャリア濃度は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。これらの p^+ 型層56の一部の領域上には、 n^+ 型ソース層60が形成されている。これらの n^+ 型ソース層60は、 n 型不純物であるSiがドーピングされたGa_{0.5}In_{0.5}Nで構成されている。 p^+ 型層56の一部の領域上と、 n^+ 型ソース層60の一部の領域上にわたって、ソース電極62が形成されている。ソース電極62は、 p^+ 型層56と n^+ 型ソース層60の両方に接している。

【0045】

左側の p^+ 型層56の右側部上と、下側 n^- 型層54の中央部上と、右側の p^+ 型層56の左側部上にわたって、上側 n^- 型層(第1層)68が形成されている。上側 n^- 型層68は、 n 型不純物としてSiがドーピングされたAlGa_{0.3}In_{0.7}N(詳細にはAl_{0.3}In_{0.7}GaN)で構成されている。上側 n^- 型層68のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。上側 n^- 型層68の厚さは、約 50 nm である。左側の n^+ 型ソース層60の右側部上と、上側 n^- 型層68上と、右側の n^+ 型ソース層60の左側部上にわたって、ゲート絶縁層66が形成されている。ゲート絶縁層66上には、ゲート電極70が形成されている。

上側 n^- 型層68は、ゲート電極70と p^+ 型層56の間に形成された領域68aを有する。ゲート絶縁層66と各電極50, 62, 70の構成材料と厚さは、第1実施例と同様である。

【0046】

上側 n^- 型層68のバンドギャップは、 p^+ 型層56のバンドギャップよりも大きい。本実施例では、上側 n^- 型層68にAlを含ませ、 p^+ 型層56にInを含ませることで、上側 n^- 型層68のバンドギャップを p^+ 型層56のバンドギャップよりも大きくしている。

上側 n^- 型層68と p^+ 型層56の接触部(p - n 接合部)58からは、上側 n^- 型層68と p^+ 型層56の両側に空乏層が伸びる。上側 n^- 型層68の厚さは、ゲート電極70に電圧が印加されていないときに p - n 接合部58から上側 n^- 型層68側に伸びる空乏層の厚さ以下である。

【0047】

次に、第3実施例の動作について説明する。ゲート電極70に電圧が印加されていない状態では、第1実施例と同様に、 p - n 接合部58から上側 n^- 型層68側に伸びる空乏層によって、上側 n^- 型層68のうち p^+ 型層56の直上に位置する領域68aの全体が実質的に空乏化されている。このため、ゲート電極70に電圧が印加されていない状態では、ソース電極62とドレイン電極50間には電流は流れない。このように、このトランジ

スタは、ノーマリオフの動作をする。

【0048】

ゲート電極70に正の電圧を印加すると、電子はまず、ソース電極62、 n^+ 型ソース層60、チャネル（上側 n^- 型層68と p^+ 型層56の境界部58付近）の順に横方向に流れる。さらに電子は、下側 n^- 型層54、 n^+ 型ドレイン層52、ドレイン電極50の順に縦方向に流れる。即ち、ドレイン電極50からソース電極62に向けて電流が流れ、トランジスタがオンする。

【0049】

第3実施例によっても、第1実施例と同様に、ノーマリオフであって、耐圧が高く、オン抵抗が低いという有用な半導体素子を実現できる。

【0050】

次に、第3実施例の製造方法例について図7を参照して説明する。まず、 n^+ 型ドレイン層52上に、MOCVD法によって下側 n^- 型層54を成長させる。次に、下側 n^- 型層54上に第1マスク層（ SiO_2 層）を形成する。次に、第1マスク層に p^+ 型層56の形成用の開口をフォトリソで形成する。次に、第1マスク層の開口から露出する下側 n^- 型層（図7には存在しない）をRIE法によってエッチングする。

【0051】

次に、エッチングした下側 n^- 型層（図7には存在しない）の下方に位置し、エッチングにより新たに露出した下側 n^- 型層54上に、 p^+ 型層56をMOCVD法によって選択的に成長させる。この p^+ 型層56は、下側 n^- 型層54の最頂面の高さに達するまで成長させる。この p^+ 型層56の形成は、先に形成した第1マスク層をそのまま残して行う。次に、第1マスク層をHF水溶液によって除去する。

【0052】

次に、 p^+ 型層56の全体上から、下側 n^- 型層54の全体上にわたって上側 n^- 型層68をMOCVD法によって成長させる。次に、上側 n^- 型層68の全体上に第2マスク層（ SiO_2 層）を形成する。次に、第2マスク層に、ソース層60の形成用の開口をフォトリソで形成する。次に、第2マスク層の開口に向けて、N（窒素）をイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧35 keVで注入する。次に、第2マスク層の開口に向けて、Siをイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧65 keVで注入する。これにより、 n^+ 型ソース層60（但し、イオン注入した不純物の活性化前）が形成される。

【0053】

次に、第2マスク層の開口部分にもマスク層（ SiO_2 層）を再度形成する。以下では、これらのマスク層全体を第3マスク層という。これにより、素子の頂面全体が第3マスク層で覆われた状態となる。次に、N（窒素）雰囲気中で1300℃で5分間、素子をアニールする。次に、第3マスク層に開口を形成する。この開口は、ソース電極62を接触させる p^+ 型層56上に形成された上側 n^- 型層（図7には存在しない）の除去用のものである。次に、第3マスク層の開口から露出する上側 n^- 型層（図7には存在しない）をRIE法によってエッチングする。次に、第3マスク層をHF水溶液によって除去する。

【0054】

次に、素子の頂面全体にゲート絶縁層66をスパッタ法によって形成する。次に、ゲート絶縁層66にソース電極62とドレイン電極50の形成用の開口をフォトリソで形成する。次に、開口から露出した p^+ 型層56と n^+ 型ソース層60上に、TiとAlを順に蒸着してソース電極62を形成する。また、 n^+ 型ドレイン層52の底面に、TiとAlを順に蒸着してドレイン電極50を形成する。次に、N（窒素）雰囲気中で、500℃で2分間アニールする。次に、 p^+ 型層56の上方に位置するゲート絶縁層66上に、Niを蒸着してゲート電極70を形成する。

以上の工程を経ることで、第3実施例の電界効果トランジスタを製造できる。

【0055】

（第4実施例）

図8に示す第4実施例の電界効果トランジスタは、次の点で第3実施例と主に異なる。第4実施例では、上側 n^- 型層68と p^+ 型層56の間にチャンネル層(第3層)72が設けられている。チャンネル層72は、上側 n^- 型層68と下側 n^- 型層54の間にも連続して設けられている。チャンネル層72は、不純物がドーピングされていない真性のInGaInで構成されている。このように、チャンネル層72には、Inを含ませている。これにより、チャンネル層72のバンドギャップを、上側 n^- 型層68と p^+ 型層56のバンドギャップよりも小さくしている。

【0056】

第4実施例は、第3実施例と同様の工程を経て第1マスクを除去した後、 p^+ 型層56の全体上から下側 n^- 型層54の全体上にわたってチャンネル層72と上側 n^- 型層68をMOCVD法によって順に成長させ、さらに第3実施例と同様の工程を経ることで製造できる。

【0057】

(第5実施例)

図9に示す第5実施例の電界効果トランジスタは、次の点で第4実施例と主に異なる。第4実施例のチャンネル層72は不純物がドーピングされていない真性のInGaInで構成されているのに対し、第5実施例のチャンネル層73は、 n 型不純物としてSiがドーピングされた n^- 型のGaInで構成されている。このチャンネル層73の不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ である。さらに第4実施例の p^+ 型層56は p 型不純物としてMgがドーピングされたInGaInで構成されているのに対し、第5実施例ではInを含まない p^+ 型のGaInで構成されている。この p^+ 型層57の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ である。したがって、第5実施例のチャンネル層73のバンドギャップは p^+ 型層57と等しく、上側 n^- 型層68よりも小さい。

【0058】

図10は、図9のB-B線断面に対応するエネルギーバンド図である。横軸は、上側 n^- 型層68aとゲート絶縁層66の境界部を0の位置としたときの深さであり、縦軸が各位置でのポテンシャルである。図10の(a)がゲート電極70に電圧を印加していない状態の図であり、(b)がゲート電極70に3.0Vの電圧を印加したときの状態の図である。

図10(a)を見ると、上側 n^- 型層68aとチャンネル層73のバンドギャップの相違から、その境界部59にノッチ部(量子井戸部)が形成されている。本実施例の場合、チャンネル層73と p^+ 型層57のバンドギャップが一致しているために、エネルギー障壁で囲まれた凹状のノッチ部とはならない。ノッチ部は上側 n^- 型層68aとチャンネル層73の境界部59近傍のうち、チャンネル層73側に形成されている。ゲート電極70に電圧が印加されていない状態では、このノッチ部のポテンシャルがフェルミ準位(0eV)よりも上方にあるため、チャンネルが形成されず電子は流れない。したがって、この電界効果トランジスタはノーマリーオフ動作を実現している。

一方、ゲート電極70に正の電圧を印加すると、図10(b)に示すように、ノッチ部のポテンシャルがフェルミ準位(0eV)に達する。したがって、ノッチ部にチャンネルが形成され、電子が流れる。

【0059】

上記の電界効果トランジスタでは、チャンネルとなるノッチ部が不純物濃度の小さいチャンネル層73に形成される。したがって、電子が流れた場合の不純物散乱の発生を抑制できる。よって、電子の移動度を向上させることができる。このため、チャンネル抵抗を低くすることができる。ひいてはオン抵抗を小さくすることができる。

上記トランジスタでは、ノッチ部のポテンシャルがフェルミ準位に達するのに必要なゲート電圧が3.0Vと低い。半導体素子のオン/オフ制御が容易となる。

なお、本実施例の技術を第2実施例の電界効果トランジスタに適用してもよい。つまり、図5に示す第2実施例のチャンネル層44を n 型の不純物がドーピングされた n^- 型のGaInで構成する。第5実施例と同様の作用効果によりオン抵抗の小さい電界効果トランジスタ

を実現することができる。

【0060】

(第6実施例)

図11に示す第6実施例の電界効果トランジスタは、半導体基板の膜厚方向に伸びるトレンチタイプのゲート電極171を備えている。

ドレイン層(第4層の一部)152上に、下側n型層(第4層の一部)154が形成されている。ドレイン層152はGa_{0.5}N基板が用いられる。下側n型層154は、n型不純物としてSiがドーピングされたGa_{0.5}Nで構成されている。ドレイン層152の裏面には、ドレイン電極150が形成されている。

【0061】

下側n型層154の左側部と右側部上にはそれぞれ、p型層(第2層)157が形成されている。これらのp型層157は、p型不純物としてMgがドーピングされたGa_{0.5}Nで構成されている。これらのp型層157の一部の領域上には、n⁺型ソース層160が形成されている。これらのn⁺型ソース層160は、n型不純物であるSiがドーピングされたGa_{0.5}Nで構成されている。n⁺型ソース層160は、p型層157によって下側n型層154とは隔てられている。p型層157の一部の領域上と、n型ソース層160の一部の領域上にわたって、ソース電極162が形成されている。ソース電極162は、p型層157とn⁺型ソース層160の両方に接している。

【0062】

n⁺型ソース層160とp型層157を貫通してトレンチが形成されており、このトレンチの側壁側から内に向かって、チャンネル層173と上側n型層168とゲート絶縁層166とゲート電極170が形成されている。

チャンネル領域173は、n型不純物としてSiがドーピングされたn型のGa_{0.5}Nで構成されている。上側n型層168は、n型不純物としてSiがドーピングされたAl_{0.3}Ga_{0.7}N(詳細にはAl_{0.3}Ga_{0.7}N)で構成されている。上側n型層168のうち、p型層157に対向する箇所を上側n型層168aと称し、便宜上区別している。

ゲート絶縁層166と各電極150、162、170の構成材料は、第5実施例と同様である。

【0063】

チャンネル層173のバンドギャップはp型層157と等しく、上側n型層168よりも小さい。

上側n型層168aとチャンネル層173のバンドギャップの相違から、その境界部159にノッチ部(量子井戸部)が形成される。本実施例の場合、チャンネル層173とp型層157のバンドギャップが一致しているために、エネルギー障壁で囲まれた凹状のノッチ部とはならない。ノッチ部は上側n型層168aとチャンネル層173の境界部159近傍のうち、チャンネル層173側に形成されている。ゲート電極170に電圧が印加されていない状態では、このノッチ部のポテンシャルがフェルミ準位よりも上方にあるため、チャンネルが形成されず電子は流れない。したがって、この電界効果トランジスタはノーマリーオフ動作を実現している。

一方、ゲート電極170に正の電圧を印加すると、ノッチ部のポテンシャルがフェルミ準位に達する。したがって、ノッチ部にチャンネルが形成され、電子が流れる。

上記の電界効果トランジスタでは、半導体素子がオンすると、n⁺型ソース層160から供給された電子は、チャンネル層173に沿って縦方向に流れる。つまり、トレンチタイプのゲート電極170の側面に沿って、半導体基板の主面と直交方向に流れ、さらに下側n型層154とドレイン層152を経由してドレイン電極150へと流れる。

【0064】

第6実施例の電界効果トランジスタでは、トレンチタイプのゲート電極170を採用することで、チャンネルが半導体基板の主面と直交方向に形成することができる。電界効果トランジスタの面積を小さくすることができる。またチャンネルを広く確保することができるために、チャンネル抵抗を低くすることができ、ひいてはオン抵抗を低くすることができる。

。なお、本実施例のチャンネル層に不純物がドーピングされていない真性の InGaN で構成してもよい。この場合、チャンネル層には凹状のノッチ部（量子井戸部）が形成される。同様の作用効果を奏し、オン抵抗を小さくできるとともに、電界効果トランジスタの面積を小さくすることができる。

【0065】

第6実施例の電界効果トランジスタの製造例を簡単に説明する。

まず、 GaN 基板 152 上に、MOCVD 法によって下側 n 型層 154 と p 型層 157 と n^+ 型ソース層 160 を成長させた後に、RIE 法によって n 型層 154 にまで貫通するトレンチを形成する。次にそのトレンチ内部に、MOCVD 法によってチャンネル層 173 と上側 n 型層 168 を所定の厚みで成長させる。次にゲート絶縁層 166 をスパッタ法によって所定の厚みで形成する。次に、残りのトレンチ内部にポリシリコン等を成長させてゲート電極 170 を形成する。他の工程は、前記の実施例と同様の工程を経ることで製造することができる。

【0066】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

(1) 図1に示す第1実施例では、上側 n^- 型層 32 と p^+ 型層 42 の境界部 24 付近にチャンネルが主に形成される構造であった。しかし、上側 n^- 型層 32 の内部にチャンネルが主に形成されるような構造であってもよい。

(2) 上記実施例ではノーマリオフの半導体素子について説明した。しかし、本発明はノーマリオン半導体素子にも適用できる。

(3) 上記実施例では、ゲート電極と第1層の間にゲート絶縁膜を介在させている。これに代えて、両者をショットキー接触させてもよい。ゲート絶縁膜を介在させると、ゲート電極に高電圧を印加することが可能となり、大電流のオン／オフが可能となる。

(4) 図1に示す第1実施例の製造方法として、上記では、基板 20 上への下側 n^- 型層 22 の成長、下側 n^- 型層 22 の一部のエッチング、そのエッチングで露出した下側 n^- 型層 22 上への p^+ 型層 42 の再成長、という工程を経て p^+ 型層 42 を形成する方法を説明した。しかし、 p^+ 型層 42 は、下側 n^- 型層 22 に Mg 又は Be をイオン注入することで形成することもできる。これによると、下側 n^- 型層 22 のエッチング、 p^+ 型層 42 の再成長という工程を省くことができる。よって、製造プロセスを簡単化できる。

(5) 図7に示す第3実施例は、下側 n^- 型層 54 を薄く成長させ、その下側 n^- 型層 54 上の全体に p^+ 型層 56 を成長させ、その p^+ 型層 56 の中央部（図7には存在しない）に Si 又は Ge をイオン注入して n^- 型層 54 の中央部を形成してもよい。この場合も、2つの p^+ 型層 56 とこれらの間に位置する n^- 型層 54 を形成できる。

【0067】

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0068】

【図1】第1実施例の電界効果トランジスタの断面図を示す。

【図2】上側 n^- 型層と p^+ 型層のエネルギーバンド図を示す。

【図3】第1実施例の構造についての、ゲート電極に電圧を印加していない状態のエネルギーバンド図を示す。

【図4】第1実施例の構造についての、ゲート電極に正の電圧を印加した状態のエネルギーバンド図を示す。

【図5】第2実施例の電界効果トランジスタの断面図を示す。

【図6】第2実施例の構造についての、ゲート電極に電圧を印加していない状態のエネルギーバンド図を示す。

【図7】第3実施例の電界効果トランジスタの断面図を示す。

【図8】第4実施例の電界効果トランジスタの断面図を示す。

【図9】第5実施例の電界効果トランジスタの断面図を示す。

【図10】(a)第5実施例のゲート電極に電圧を印加していない状態のエネルギーバンド図を示す。(b)第5実施例のゲート電極に正の電圧を印加した状態のエネルギーバンド図を示す。

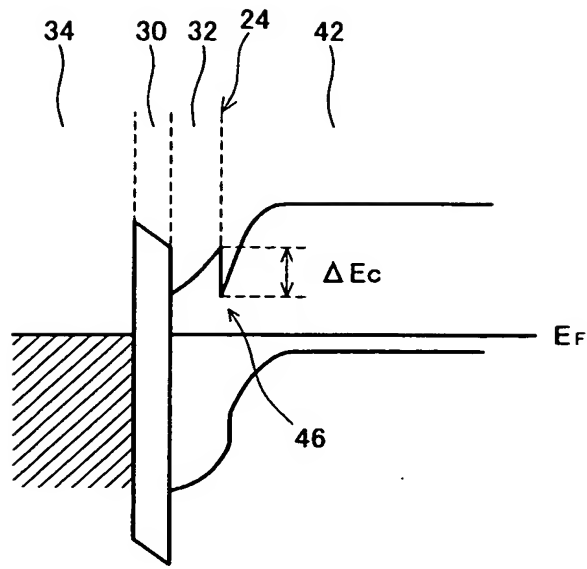
【図11】第6実施例の電界効果トランジスタの断面図を示す。

【符号の説明】

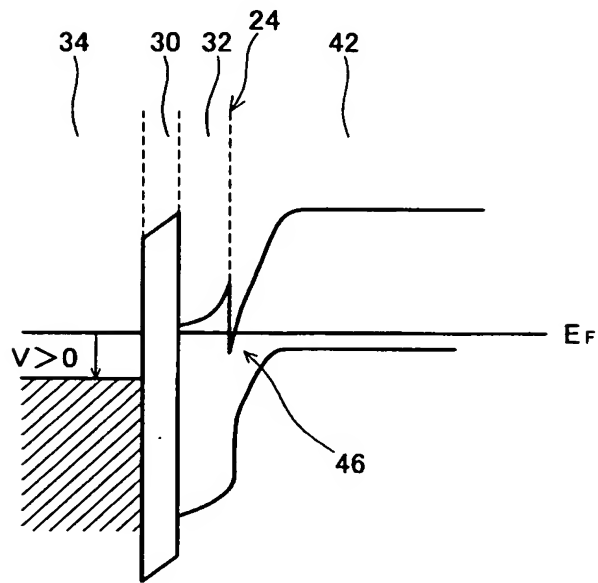
【0069】

- 32、68、168：上側 n^- 型層（第1層の一例）
- 42、56、57、157： p^+ 型層（第2層の一例）
- 44、72、73、173：チャンネル層（第3層の一例）
- 22、54、154：下側 n^- 型層（第4層の一例）
- 40、60、160： n^+ 型ソース層
- 26、52、152： n^+ 型ドレイン層
- 30、66、166：ゲート絶縁層
- 34、70、170：ゲート電極
- 38、62、162：ソース電極
- 28、50、150：ドレイン電極

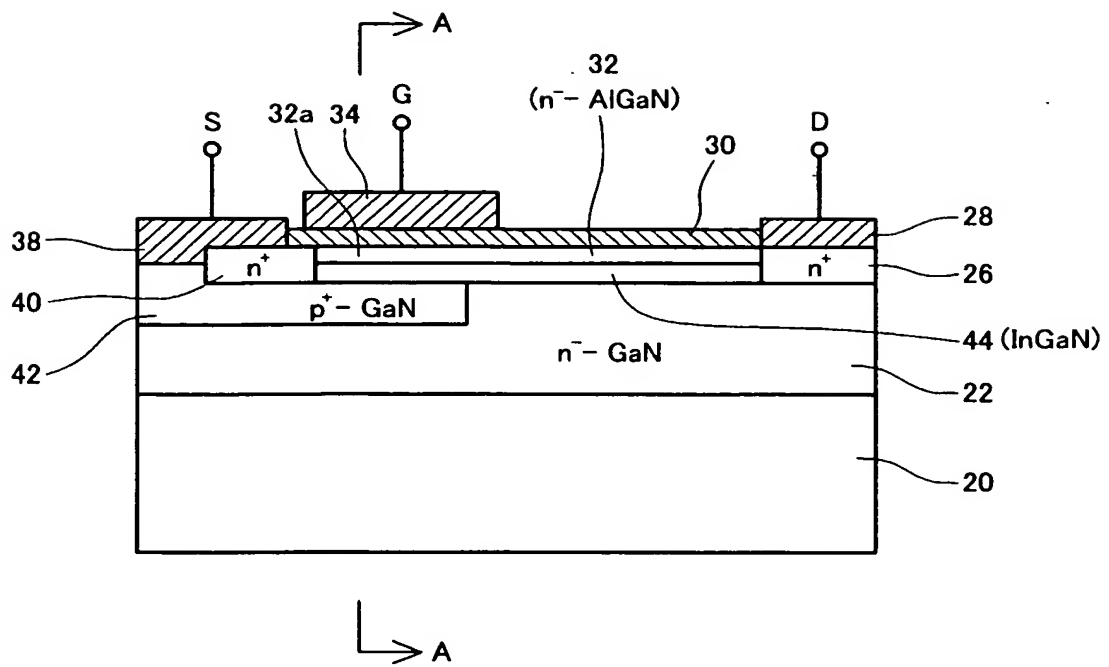
【図 3】



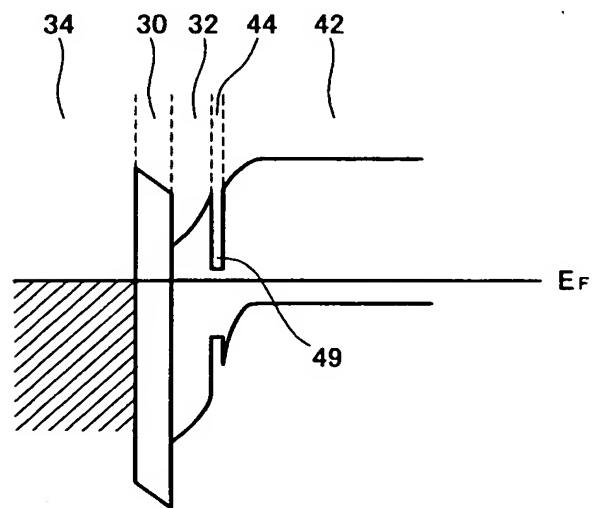
【図 4】



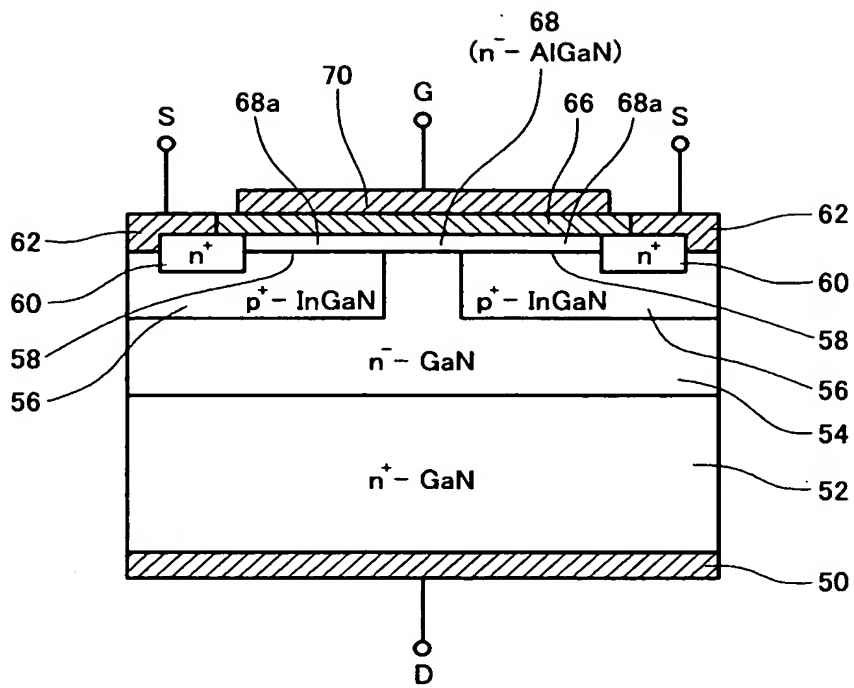
【図 5】



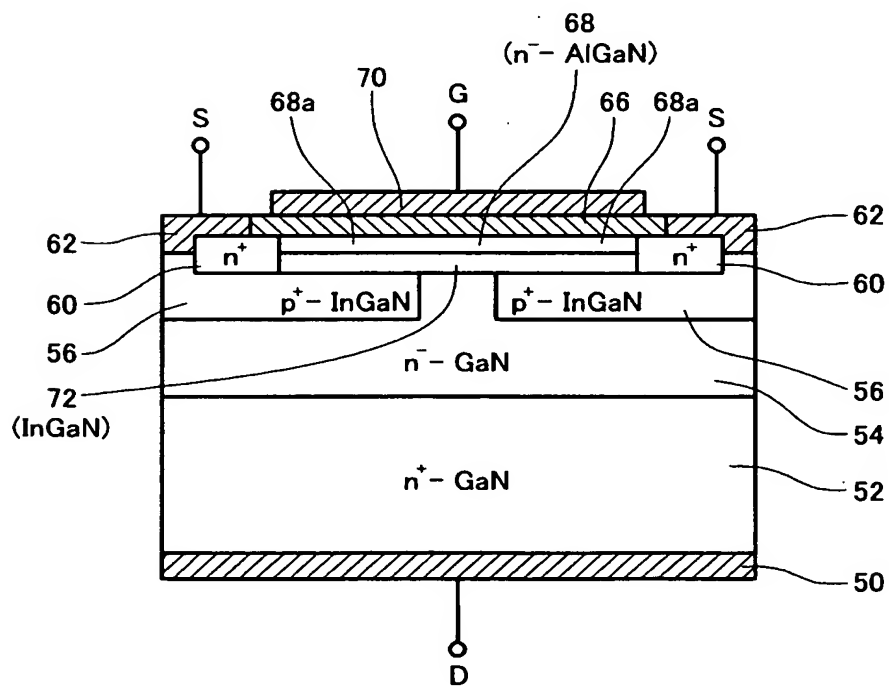
【図 6】



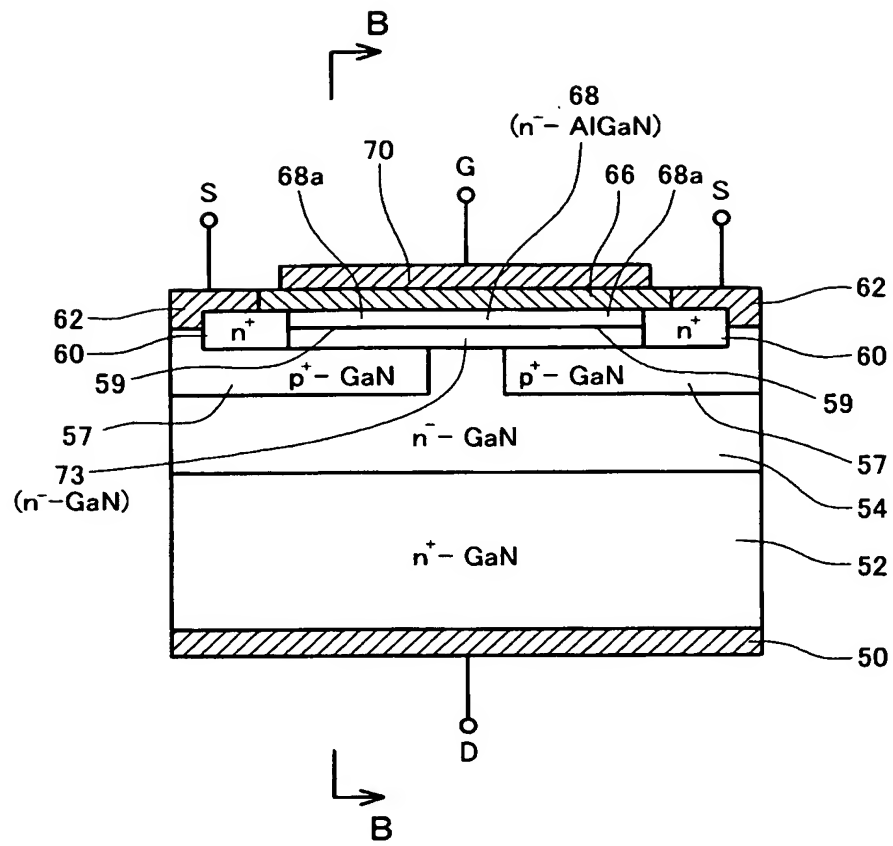
【図 7】



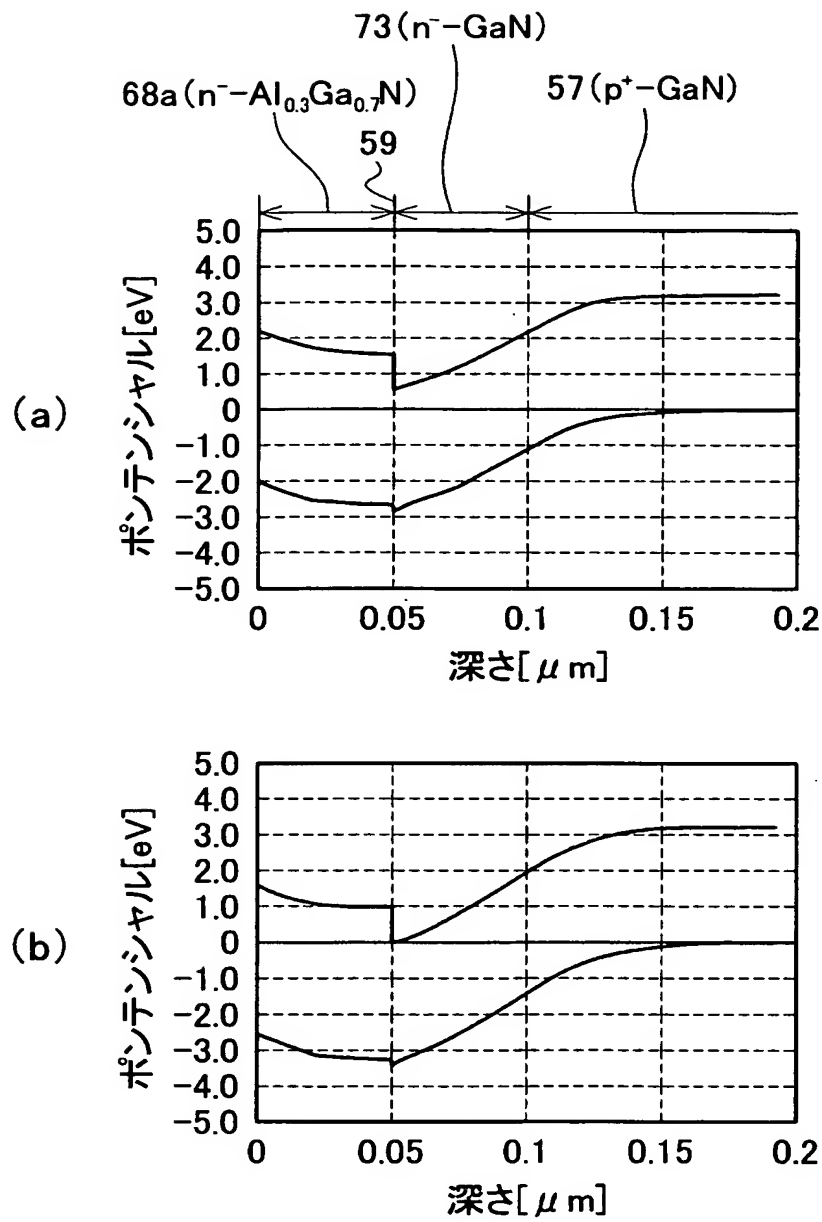
【図 8】



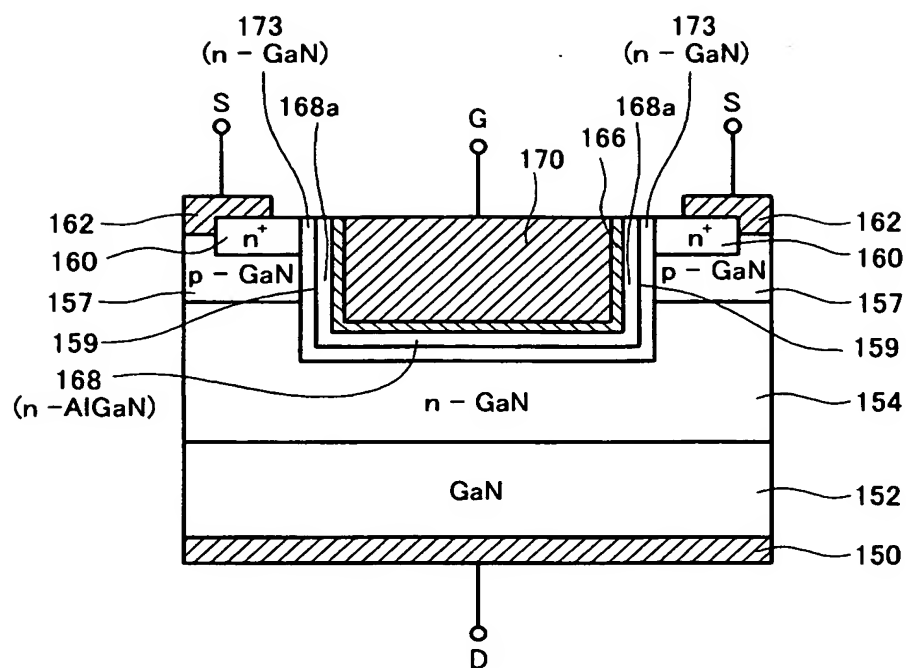
【図 9】



【図 10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 III族窒化物半導体を有する半導体素子の耐圧を高くすること。

【解決手段】 半導体素子は、AlGa_Nで構成された第1層32と、Ga_Nで構成された第2層42と、ゲート電極34と、ソース電極38と、ドレイン電極28を有する。第1層32は、ゲート電極34と第2層42の間に形成された領域32aを有する。第1層32と第2層42の境界部24付近にチャンネルが形成される。第2層42の導電型はp型であり、p型不純物であるMgがドーピングされている。第2層42は、ソース電極38に接している。

【選択図】 図1

特願 2 0 0 4 - 0 0 3 3 6 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 6 0 9]

1. 変更年月日 1 9 9 0 年 9 月 6 日

[変更理由] 新規登録

住 所 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1

氏 名 株式会社豊田中央研究所